

AKM

# AK4552

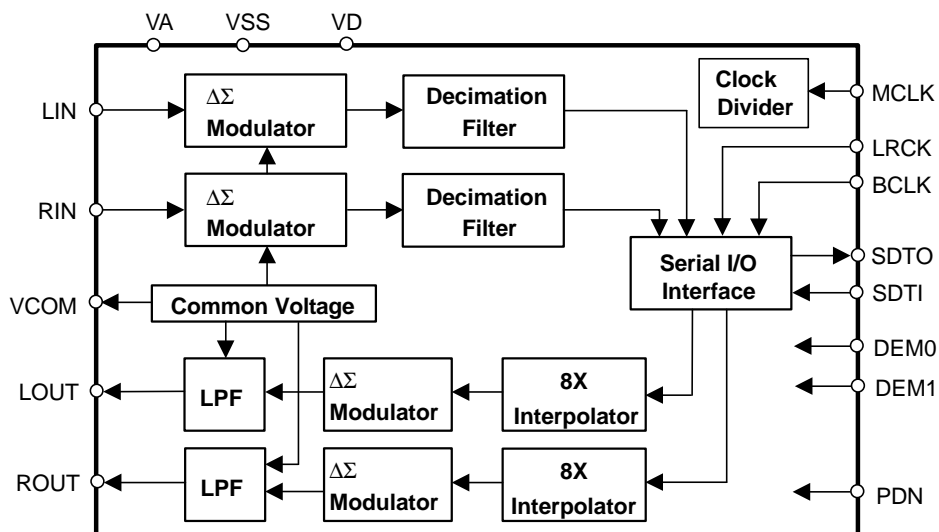
## 3V 96kHz 24Bit $\Delta\Sigma$ CODEC

### 概要

AK4552はデジタルオーディオ機器用に開発された低電圧24bit 96kHz対応 A/D, D/Aコンバータです。スイッチト・キャパシタフィルタ(SCF)技術の採用によりクロックジッタによる、S/Nの劣化はほとんどありません。アナログ入出力はシングルエンドになっており、外付け部品をほとんど必要としません。また、AK4552は16pin TSSOPパッケージを採用しており、機器の小型化には最適です。

### 特長

- DC-offset キャンセル用HPF内蔵 (fc=3.4Hz@fs=44.1kHz)
- シングルエンドADC
  - S/(N+D): 89dB@VA=3.0V
  - Dynamic Range, S/N: 97dB@VA=3.0V
- シングルエンドDAC
  - ディエンファシス内蔵 (32kHz, 44.1kHz, 48kHz対応)
  - S/(N+D): 88dB@VA=3.0V
  - Dynamic Range, S/N: 100dB@VA=3.0V
- オーディオデータ/I/Fフォーマット: MSB First, 2's Complement
  - ADC: 24bit 前詰め, DAC: 24bit 後詰め
- 入出力レベル: ADC = 1.85Vpp@VA=3.0V  
DAC = 1.75Vpp@VA=3.0V
- サンプリングレート: 8kHz ~ 50kHz (通常速)  
50kHz ~ 100kHz (2倍速, 2倍速モニタ)  
100kHz ~ 200kHz (4倍速モニタ)
- マスタクロック: 256fs, 384fs, 512fs or 768fs@通常速  
256fs or 384fs@2倍速  
128fs or 192fs@2倍速モニタ  
64fs, 96fs, 128fs or 192fs@4倍速モニタ
- 電源電圧: 2.4 ~ 4.0V
- 消費電流: 14mA
- Ta = -40 ~ 85
- 超小型パッケージ: 16pin TSSOP



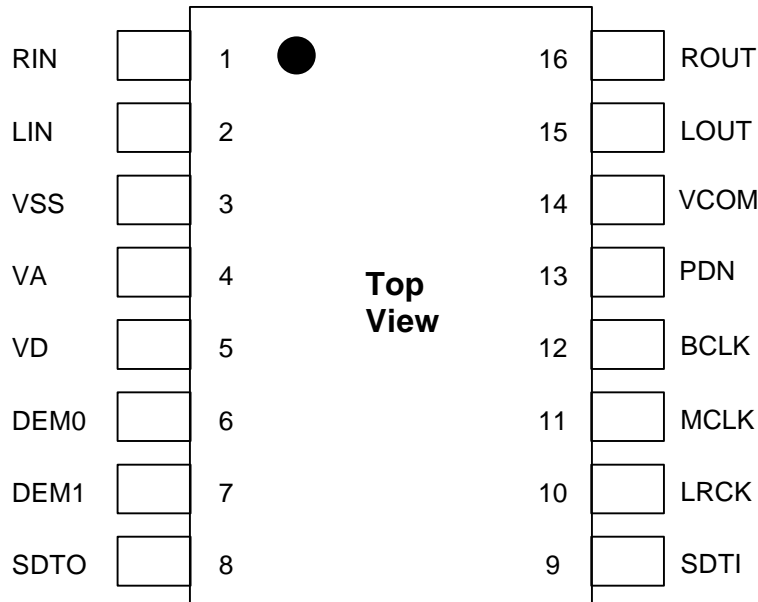
■ オーダリングガイド

AK4552VT  
AKD4552

-40 ~ +85°C  
AK4552用評価ボード

16pin TSSOP (0.65mm pitch)

■ ピン配置



ピン / 機能

No.	ピン名称	I/O	機 能
1	RIN	I	Rch アナログ入力ピン
2	LIN	I	Lch アナログ入力ピン
3	VSS	-	グランドピン
4	VA	-	アナログ電源ピン
5	VD	-	デジタル電源ピン
6	DEM0	I	ディエンファシスコントロールピン
7	DEM1	I	ディエンファシスコントロールピン
8	SDTO	O	オーディオシリアルデータ出力ピン
9	SDTI	I	オーディオシリアルデータ入力ピン
10	LRCK	I	L/Rチャンネルクロックピン
11	MCLK	I	マスタクロック入力ピン
12	BCLK	I	オーディオシリアルデータクロックピン
13	PDN	I	ADC & DAC パワーダウン & リセットモードピン “L” : パワーダウンモード。電源ON時は必ず一度リセットして下さい。
14	VCOM	O	コモン電圧出力ピン, 0.45 x VA
15	LOUT	O	Lch アナログ出力ピン
16	ROUT	O	Rch アナログ出力ピン

<b>絶対最大定格</b>
---------------

(VSS=0V; 注 1)

パラメータ		Symbol	min	max	Units
電源電圧	アナログ電源	VA	-0.3	4.6	V
	デジタル電源	VD	-0.3	4.6	V
入力電流 (電源ピンを除く)		IIN	-	±10	mA
アナログ入力電圧 (LIN, RIN pin)		VINA	-0.3	VA+0.3	V
デジタル入力電圧 (LIN, RIN pin以外の入力ピン)		VIND	-0.3	VD+0.3	V
動作周囲温度		Ta	-40	85	°C
保存温度		Tstg	-65	150	°C

注 1. 電圧はすべてグランドピンに対する値です。

注意: この値を超えた条件で使用した場合、デバイスを破壊することがあります。また通常の動作は保証されません。

<b>推奨動作条件</b>
---------------

(VSS=0V; 注 1)

パラメータ		Symbol	min	typ	max	Units
電源電圧	アナログ電源 (VA pin)	VA	2.4	3.0	4.0	V
	デジタル電源 (VD pin) (注 2)	VD	2.4 or VA-0.3	3.0	VA	V

注 1. 電圧はすべてグランドピンに対する値です。

注 2. min値は、2.4VまたはVA-0.3Vのどちらか高い方の値です。

注意: 本データシートに記載されている条件以外のご使用に関しては、当社では責任負いかねますので十分ご注意ください。

<b>アナログ特性</b>
---------------

(特記なき場合は Ta=25°C; VA, VD=3.0V; VSS=0V; Signal Frequency=1kHz; BCLK=64fs; 24bit Data;  
Measurement frequency=10Hz ~ 20kHz at fs=44.1kHz, 20Hz ~ 40kHz at fs=96kHz)

パラメータ		min	typ	max	Units	
<b>ADCアナログ入力特性:</b> (注 3)						
分解能				24	Bits	
S/(N+D) (-0.5dB Input)	fs=44.1kHz	80	89		dB	
		80	89		dB	
D-Range (-60dB Input)	fs=44.1kHz, A-weighted	90	97		dB	
		87	94		dB	
		-	100		dB	
S/N	fs=44.1kHz, A-weighted	90	97		dB	
		87	94		dB	
		-	100		dB	
チャンネル間アイソレーション		90	110		dB	
チャンネル間ゲインミスマッチ			0.2	0.5	dB	
入力電圧 (注 4)		1.65	1.85	2.05	Vpp	
入力インピーダンス	fs=44.1kHz	20	34	-	kΩ	
	fs=96kHz	14	24	-	kΩ	
<b>DACアナログ出力特性:</b>						
分解能				24	Bits	
S/(N+D) (0dB Output)	fs=44.1kHz	78	88		dB	
		75	85		dB	
D-Range (-60dB Output)	fs=44.1kHz, A-weighted	92	100		dB	
		88	96		dB	
		-	100		dB	
S/N	fs=44.1kHz, A-weighted	92	100		dB	
		88	96		dB	
		-	100		dB	
チャンネル間アイソレーション		90	110		dB	
チャンネル間ゲインミスマッチ			0.2	0.5	dB	
出力電圧 (注 4)		1.56	1.75	1.94	Vpp	
負荷抵抗		10			kΩ	
負荷容量				30	pF	
<b>電源</b>						
電源電流 (VA+VD)						
Power up	PDN= "H"	fs=44.1kHz		14	21	mA
		fs=96kHz		18	27	mA
Power down (注 5)	PDN= "L"			10	100	μA

注 3. ADCのオフセットは内部のHPFで除去されます。

注 4. ADC, DACの入出力電圧はVAに比例します。(ADC=0.617 x VA, DAC=0.583 x VA)

注 5. パワーダウン時、クロック(MCLK, BCLK, LRCK)を含むすべてのデジタル入力ピンはVDあるいはVSSに固定した場合の値です。ただし、PDNはVSSに固定です。

フィルタ特性						
(Ta=25°C; VA, VD=2.4 ~ 4.0V; fs=44.1kHz; DEM0="1", DEM1="0")						
パラメータ	Symbol	min	typ	max	Units	
<b>ADC部デジタルフィルタ (LPF):</b>						
通過域 (注 6)	±0.1dB -1.0dB -3.0dB	PB	0	20.0 21.1	17.4	kHz kHz kHz
阻止域 (注 6)		SB	27.0			kHz
通過域リップル		PR			±0.1	dB
阻止域減衰量		SA	65			dB
群遅延 (注 7)		GD		17.0		1/fs
群遅延歪		ΔGD		0		μs
<b>ADC部デジタルフィルタ (HPF):</b>						
周波数応答 (注 6)	-3dB -0.5dB -0.1dB	FR		3.4 10 22		Hz Hz Hz
<b>DAC部デジタルフィルタ:</b>						
通過域 (注 6)	±0.1dB -6.0dB	PB	0	22.05	20.0	kHz kHz
阻止域 (注 6)		SB	24.1			kHz
通過域リップル		PR			±0.06	dB
阻止域減衰量		SA	43			dB
群遅延 (注 7)		GD		15.4		1/fs
群遅延歪		ΔGD		0		μs
<b>DAC部デジタルフィルタ + アナログフィルタ:</b>						
振幅特性	0 ~ 20.0kHz 0 ~ 40.0kHz (注 8)	FR		±0.5 ±1.0		dB dB

注 6. 各振幅特性の周波数はfs(システムサンプリングレート)に比例します。

例えば、PB=20.0kHz(@ADC : -1.0dB, DAC : -0.1dB)は0.454 x fsです。

注 7. デジタルフィルタによる演算遅延で、ADC部はアナログ信号が入力されてから両チャンネルの24bitデータが出力レジスタにセットされるまでの時間です。DAC部は24bitデータが入力レジスタにセットされてからアナログ信号が出力されるまでの時間です。

注 8. fs=96kHz時。

DC特性					
(Ta=25°C; VA, VD=2.4 ~ 4.0V)					
パラメータ	Symbol	min	typ	max	Units
ハイレベル入力電圧	VIH	70%VD	-	-	V
ローレベル入力電圧	VIL	-	-	30%VD	V
ハイレベル出力電圧 (Iout= -20μA)	VOH	VD-0.1	-	-	V
ローレベル出力電圧 (Iout= 20μA)	VOL	-	-	0.1	V
入力リーク電流	Iin	-	-	±10	μA

<b>スイッチング特性</b>
-----------------

(Ta=25°C; VA, VD=2.4 ~ 4.0V; CL=20pF)

パラメータ	Symbol	min	typ	max	Units
<b>Master Clock Timing</b>					
Frequency	fCLK	2.048		38.4	MHz
Pulse Width Low	tCLKL	10			ns
Pulse Width High	tCLKH	10			ns
<b>LRCK Frequency</b>					
Normal Speed	fsn	8		50	kHz
Double Speed	fsd	50		100	kHz
Quad Speed	fsq	100		200	kHz
Duty Cycle	Duty	45		55	%
<b>Serial Interface Timing</b>					
BCLK Period					
Normal Speed	tBCK	1/96fsn			ns
Double Speed	tBCK	1/64fsd			ns
Quad Speed	tBCK	1/64fsq			ns
BCLK Pulse Width Low					
	tBCKL	33			ns
Pulse Width High					
	tBCKH	33			ns
LRCK Edge to BCLK “↑” (注 9)	tLRB	20			ns
BCLK “↑” to LRCK Edge (注 9)	tBLR	20			ns
LRCK Edge to SDTO (MSB)	tDLR			40	ns
BCLK “↓” to SDTO	tDBS			40	ns
SDTI Hold Time	tSDH	20			ns
SDTI Setup Time	tSDS	20			ns
<b>Reset Timing</b>					
PDN Pulse Width	tPW	150			ns
PDN “↑” to SDTO Valid (注 10)	tPWV		2081		1/fs

注 9. この規格値は LRCKのエッジとBCLKの“↑”が重ならないように規定しています。

注 10. PDNを立ち上げてからの LRCKクロックの“↑”の回数です。

■ タイミング波形

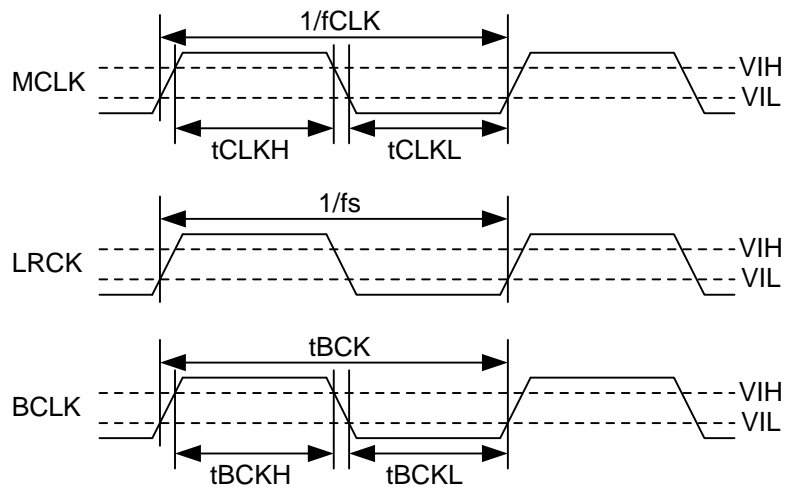


図 1. クロックタイミング

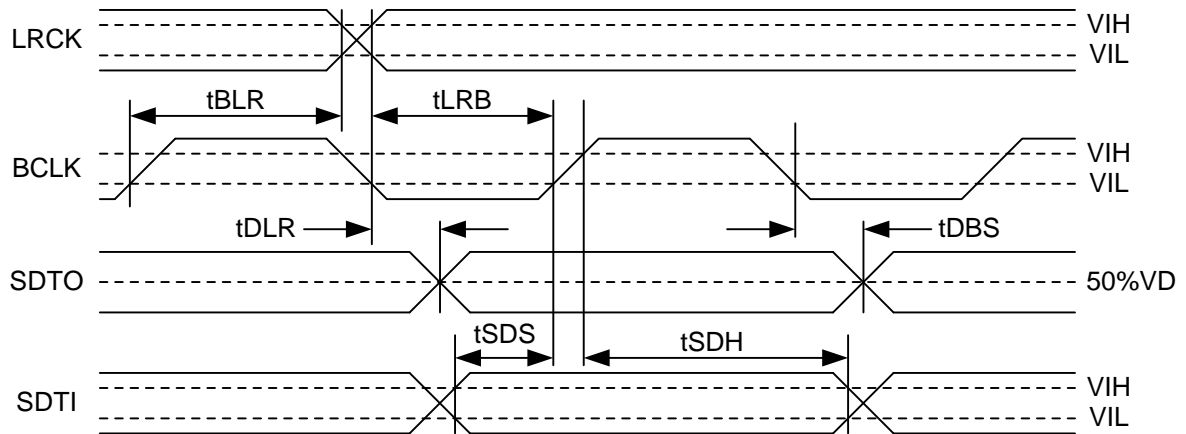


図 2. オーディオデータ入出力タイミング

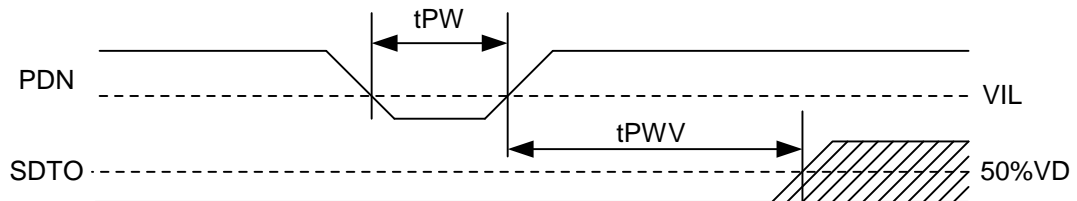


図 3. リセットタイミング

## 機能説明

## ■ システムクロック

MCLKピンに入力されるクロックとサンプリングレートとの関係は表1で示されます。通常速、2倍速、4倍速の切り替えは自動検出され、入力されるMCLKにより表2で示される動作をします。2倍速動作時には、通常出力と1/2間引き出力があります。1/2間引きが選択された場合、ADCは“L”を出力しますがパワーダウンはされません。また、4倍速動作時には、通常出力はありませんが1/2, 1/4間引き出力があります。1/2, 1/4間引きの場合、ADCは“L”を出力しますがパワーダウンはされません。サンプリングクロック(LRCK)はMCLKと同期する必要はありますが位相を合わせる必要はありません。\*fsはサンプリングレートです。

動作中にクロックを切り替える場合は、PDNピンでリセットして下さい。また、切り替えた時にクロックが止まる可能性がある場合はパワーダウン状態にして下さい。

パワーダウン時(PDN = “L”)以外は、各外部クロック(MCLK, BCLK, LRCK)を止めてはいけません。これらのクロックが供給されない場合、内部にダイナミックなロジックを使用しているため、過電流が流れ、動作が異常になる可能性があります。

MCLK	通常速 (fs=44.1kHz)	2倍速 (fs=88.2kHz)	4倍速 (fs=176.4kHz)
64fs	N/A	N/A	11.2896MHz
96fs	N/A	N/A	16.9344MHz
128fs	N/A	11.2896MHz	22.5792MHz
192fs	N/A	16.9344MHz	33.8688MHz
256fs	11.2896MHz	22.5792MHz	N/A
384fs	16.9344MHz	33.8688MHz	N/A
512fs	22.5792MHz	N/A	N/A
768fs	33.8688MHz	N/A	N/A

表1. マスタクロック周波数例

MCLK		通常速	2倍速	4倍速
64fs	ADC	N/A	N/A	“L”出力
	DAC	N/A	N/A	1/4間引き
96fs	ADC	N/A	N/A	“L”出力
	DAC	N/A	N/A	1/4間引き
128fs	ADC	N/A	“L”出力	“L”出力
	DAC	N/A	1/2間引き	1/2間引き
192fs	ADC	N/A	“L”出力	“L”出力
	DAC	N/A	1/2間引き	1/2間引き
256fs	ADC	O	O	N/A
	DAC	O	O	N/A
384fs	ADC	O	O	N/A
	DAC	O	O	N/A
512fs	ADC	O	N/A	N/A
	DAC	O	N/A	N/A
768fs	ADC	O	N/A	N/A
	DAC	O	N/A	N/A

表2. マスタクロック周波数とADC/DACの動作

\* 表中、O印は通常出力、N/AはNot availableです。



• 間引き時のDAC内部のデータ処理について

図4を参照して下さい。1/2間引きはLRCKの2周期に1回データを取り込み、1/4間引きはLRCKの4周期に1回データを取り込みます。従って、1/2間引き時のアナログ出力は $f_s/2$ の帯域までの信号のみが出力され、1/4間引き時のアナログ出力は $f_s/4$ の帯域までの信号のみが出力されます。

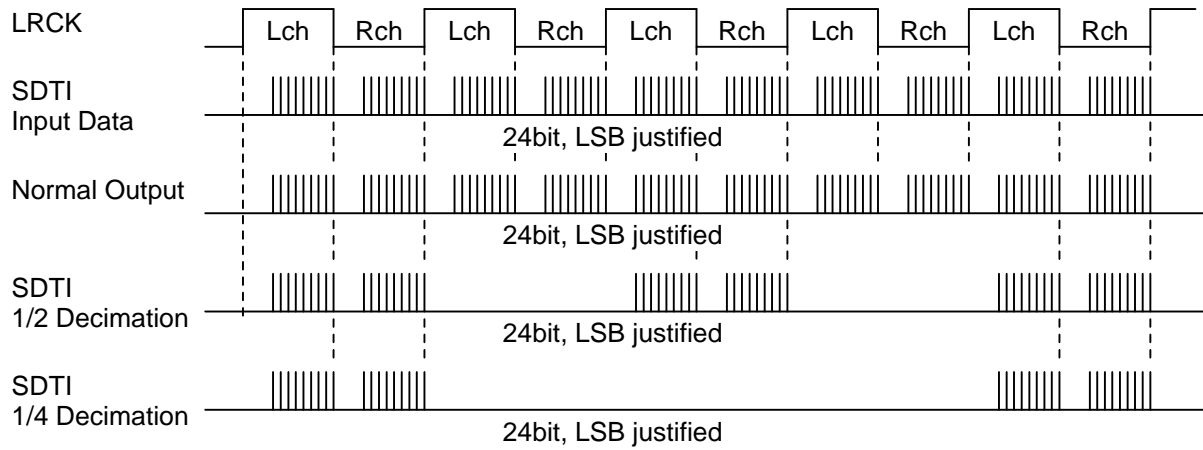


図 4. 間引き時のDAC内部のデータ処理について

### ■ オーディオデータI/Fフォーマット

オーディオデータフォーマットはBCLKとLRCKを使ってSDTI/SDTOピンから入出力されます。データフォーマットは2'sコンプリメントのMSBファーストです。

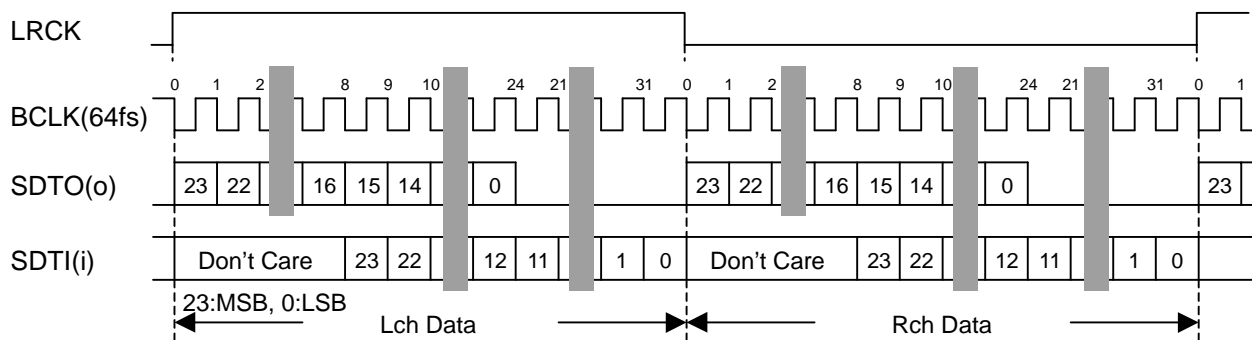


図 5. オーディオデータI/Fフォーマット

### ■ ディエンファシスフィルタ

DACはIIRフィルタによる3周波数(32kHz, 44.1kHz, 48kHz)対応のディエンファシスフィルタ(50/15μs特性)を内蔵しています。入力データに対してDEM0, DEM1ピンで選択された周波数のディエンファシスフィルタが有効になります。ディエンファシスはDEM0="1", DEM1="0"で無効にできます。

DEM1	DEM0	Mode
0	0	44.1kHz
0	1	OFF
1	0	48kHz
1	1	32kHz

表 3. ディエンファシスフィルタコントロール

### ■ デジタルHPF

ADCはDCオフセットキャンセル用のHPFを内蔵しています。HPFのカットオフ周波数は3.4Hz(@fs=44.1kHz)で、20Hzの時 -0.12dBです。これは、サンプリング周波数(fs)に比例します。

■ パワーダウンとリセット

AK4552のADCとDACはパワーダウンピン(PDN)を“L”にすることでパワーダウンでき、この時、同時に各デジタルフィルタがリセットされます。パワーダウンピンによるリセットは電源投入時に必ず一度行って下さい。ADCの場合、パワーダウンモードが解除されると初期化サイクルが開始されます。そのため、出力データSDTOは2081 x LRCKサイクル後確定します。DACにはこの初期化動作はありません。図6に電源立ち上げシーケンスを示します。

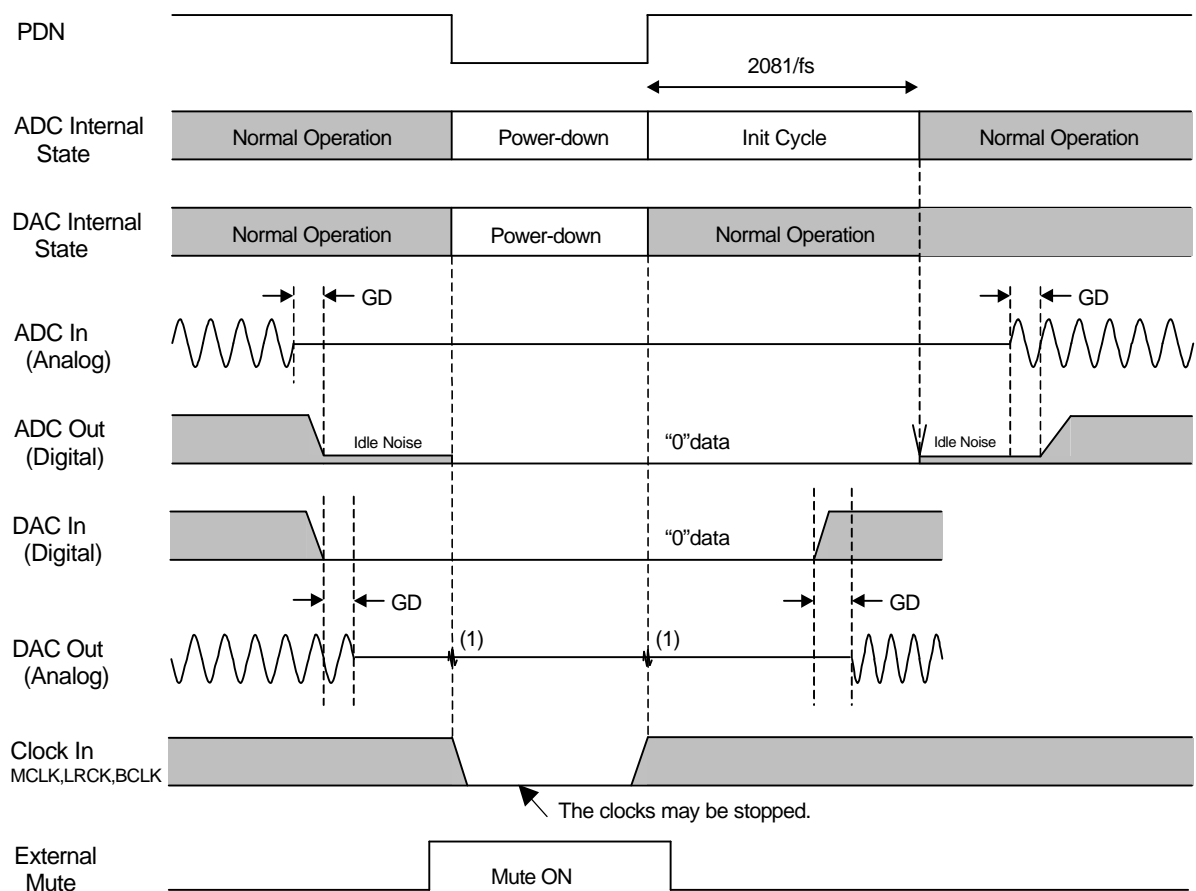


図 6. パワーアップシーケンス

(1) PDN = “↓↑”で若干のノイズが出力されます。ノイズが問題になる場合はアナログ出力を外部でミュートして下さい。

システム設計

システム接続例を図7に示します。具体的な回路と測定例については評価用ボード(AKD4552)を参照して下さい。

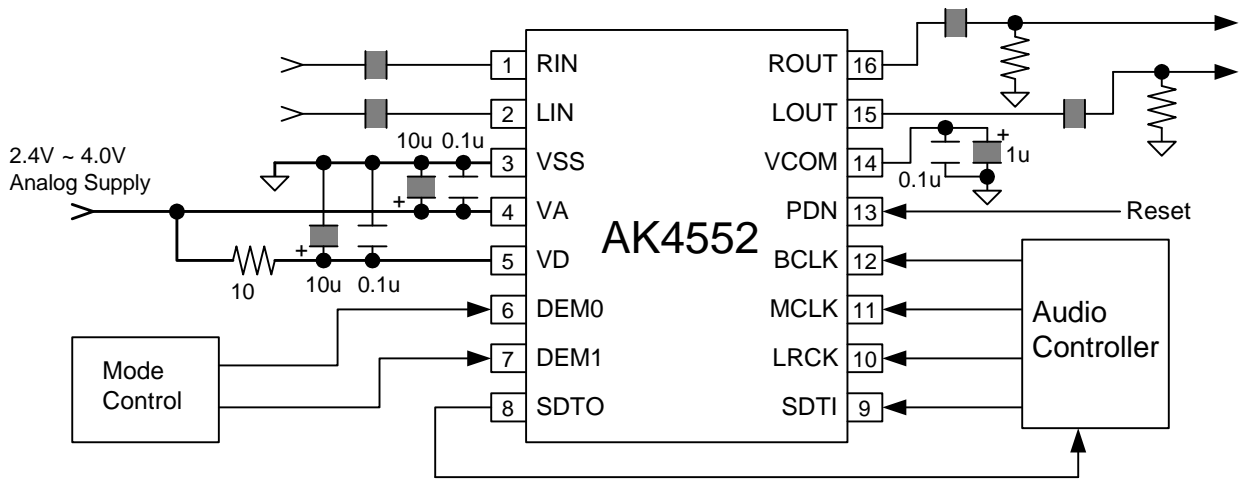


図 7. システム接続図

注:

- LOUT/ROUTが容量性負荷を駆動する場合は直列に抵抗を入れて下さい。
- VCOMの電解コンデンサの容量は電源の低周波ノイズの大きさに依存します。

## 1. グランドと電源のデカップリング

電源とグランドの取り方については十分注意して下さい。通常、VAはシステムのアナログ電源を、VDにはVAから10Ωの抵抗を介した電源を供給します。もし、VAとVDが別電源で供給されても、電源立ち上げシーケンスを考慮する必要はありません。VSSはアナロググランドに接続して下さい。システムのグランドはアナログとデジタルで分けて配線し、PCボード上の電源に近い所で接続して下さい。小容量のデカップリングコンデンサはなるべく電源ピンの近くに接続して下さい。

## 2. 内蔵基準電圧

VAピンに入力される電圧がアナログ入出力レンジを設定します。通常、VAとVSSピン間に0.1μFのセラミックコンデンサを接続します。VCOMはアナログ信号のコモン電圧及び基準電圧として使われます。このピンには高周波ノイズを除去するために1μF (typ; max: 2.2μF)程度の電解コンデンサと並列に0.1μFのセラミックコンデンサをVSSピンとの間に接続して下さい。特に、セラミックコンデンサはピンにできるだけ近づけて接続して下さい。VCOMピンは当LSI専用のピンですので、他の回路へ接続しないで下さい。また、デジタル信号、特にクロックは変調器へのカップリングを避けるためVA, VD, VCOMピンからできるだけ離して下さい。

## 3. アナログ入力

ADC入力はシングルエンドになっており、内部でVCOMにバイアスされています。入力レンジは $0.617 \times VA \text{ Vpp}$  (typ)です。出力コードのフォーマットは $2^s$ コンプリメント(2の補数)で、正のフルスケール以上の入力電圧に対しては7FFFFFFH(@24bit)、負のフルスケール以下に対しては800000H(@24bit)、無入力時の理想値は000000H(@24bit)です。

AK4552は64fsでアナログ入力をサンプリングします。デジタルフィルタは、64fsの整数倍付近の帯域を除く阻止域以上のノイズをすべて除去します。AK4552は64fs付近のノイズを減衰させるためにアンチエイリアジングフィルタ(RCフィルタ)を内蔵しています。

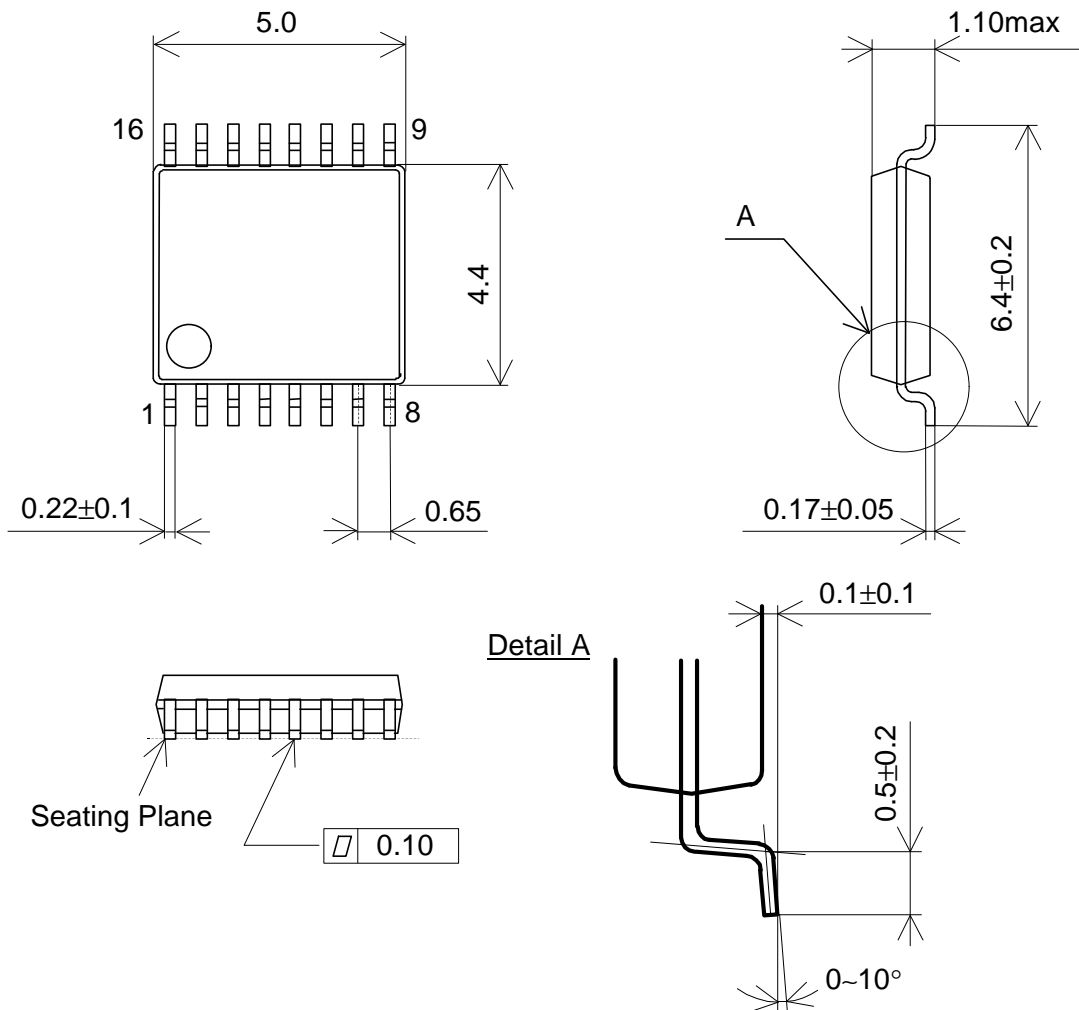
## 4. アナログ出力

DAC出力はシングルエンドになっており、出力レンジはVCOM電圧を中心に $0.583 \times VA \text{ Vpp}$  (typ)です。入力コードのフォーマットは $2^s$ コンプリメント(2の補数)で、7FFFFFFH(@24bit)に対しては正のフルスケール、800000H(@24bit)に対しては負のフルスケール、000000H(@24bit)での理想値はVCOM電圧が出力されます。 $\Delta\Sigma$ 変調器が発生する帯域外ノイズ(シェーピングノイズ)が気になる場合は、外付けのフィルタで減衰させて下さい。

アナログ出力はVCOM+数mV程度のDCオフセットを持つため、通常の使用ではコンデンサでDC成分をカットします。

パッケージ

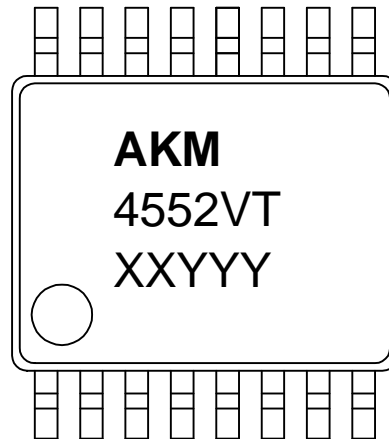
16pin TSSOP (Unit: mm)



■ 材質・メッキ仕様

パッケージ材質:	エポキシ系樹脂
リードフレーム材質:	銅
リードフレーム処理:	半田メッキ

マーキング
-------



- 1) Pin #1 indication
- 2) Date Code : XXYYY (5 digits)  
     XX: lot#  
     YYY: Date Code
- 3) Marketing Code : 4552VT
- 4) Asahi Kasei Logo

重要な注意事項
---------

- 本書に記載された製品、及び、製品の仕様につきましては、製品改善のために予告なく変更することがあります。従いまして、ご使用を検討の際には、本書に掲載した情報が最新のものであることを弊社営業担当、あるいは弊社特約店営業担当にご確認下さい。
- 本書に掲載された情報・図面の使用に起因した第三者の所有する特許権、工業所有権、その他の権利に対する侵害につきましては、当社はその責任を負うものではありませんので、ご了承下さい。
- 本書記載製品が、外国為替及び、外国貿易管理法に定める戦略物資(役務を含む)に該当する場合、輸出する際に同法に基づく輸出許可が必要です。
- 医療機器、安全装置、航空宇宙用機器、原子力制御用機器など、その装置・機器の故障や動作不良が、直接または間接を問わず、生命、身体、財産等へ重大な損害を及ぼすことが通常予想されるような極めて高い信頼性を要求される用途に弊社製品を使用される場合は、必ず事前に弊社代表取締役の書面による同意をお取り下さい。
- この同意書を得ずにこうした用途に弊社製品を使用された場合、弊社は、その使用から生ずる損害等の責任を一切負うものではありませんのでご了承下さい。
- お客様の転売等によりこの注意事項の存在を知らずに上記用途に弊社製品が使用され、その使用から損害等が生じた場合は全てお客様にてご負担または補償して頂きますのでご了承下さい。